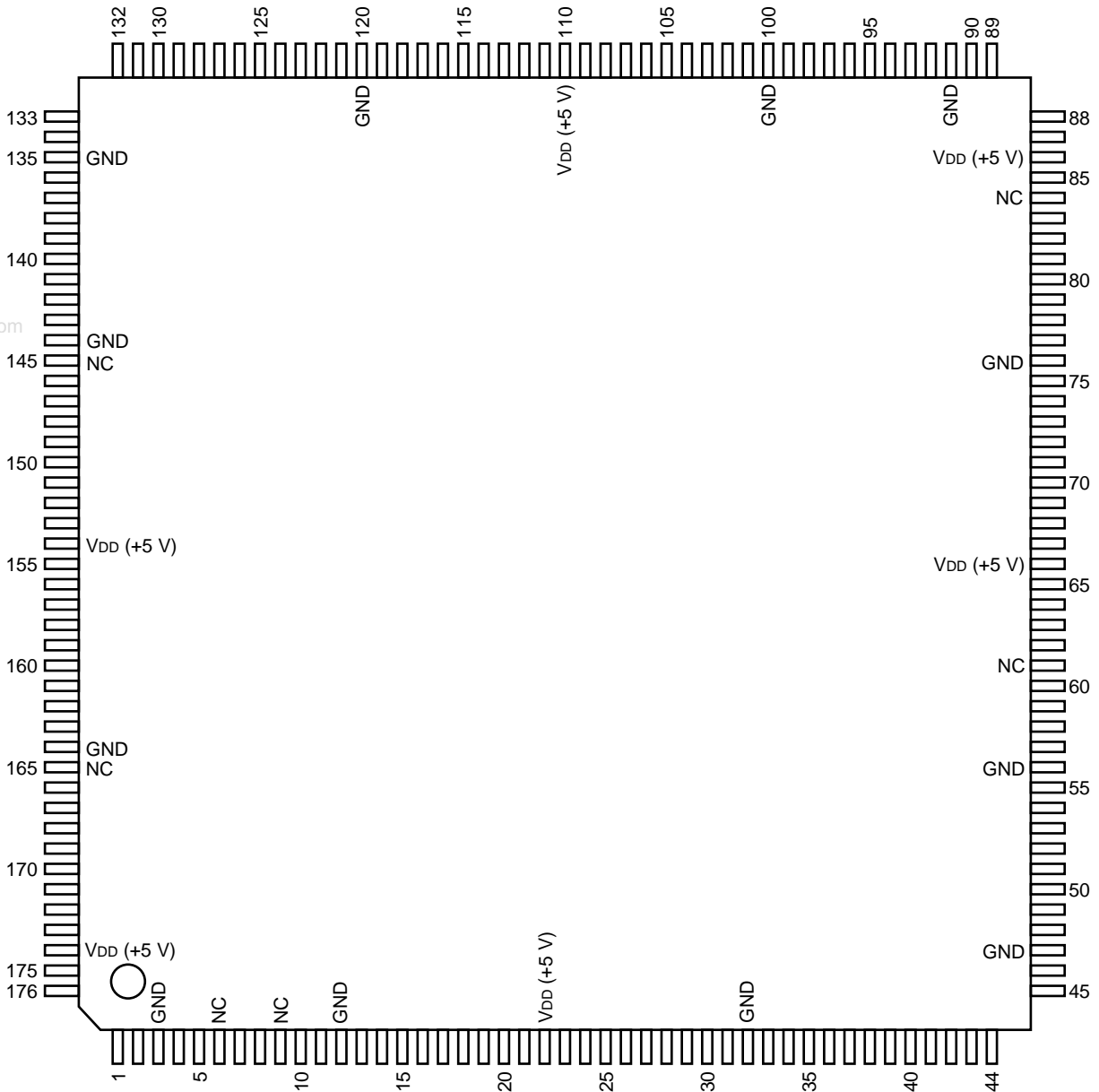


\*\*\*\*\*

# C-MOS PERIPHERAL CONTROL IC FOR R3000 (GATE ARRAY)

- TOP VIEW -



www.DataSheet4U.com

(V<sub>DD</sub> = +5 V)

PIN No.	I/O	SIGNAL	PIN No.	I/O	SIGNAL	PIN No.	I/O	SIGNAL	PIN No.	I/O	SIGNAL
1	O	$\overline{\text{BE8CS}}$	45	O	RAM2CS	89	I	$\overline{\text{IO\_STROBE}}$	133	O	$\overline{\text{AF4CS}}$
2	O	$\overline{\text{BECCS}}$	46	O	RAM1CS	90	O	$\overline{\text{EXTDATAEN}}$	134	O	$\overline{\text{AF0CS}}$
3	—	GND	47	—	GND	91	—	GND	135	—	GND
4	O	$\overline{\text{SCSIRD}}$	48	I/O	D0	92	O	$\overline{\text{RXFIFO3EN}}$	136	O	$\overline{\text{B40CS}}$
5	O	$\overline{\text{SCSIWR}}$	49	I/O	D1	93	O	$\overline{\text{RXFIFO2EN}}$	137	O	$\overline{\text{B44CS}}$
6	—	NC	50	I/O	D2	94	O	$\overline{\text{RXFIFO1EN}}$	138	O	$\overline{\text{B48CS}}$
7	O	$\overline{\text{SCSICS1}}$	51	I/O	D3	95	O	$\overline{\text{RXFIFO0EN}}$	139	O	$\overline{\text{B4CCS}}$
8	O	$\overline{\text{SCSICS0}}$	52	I/O	D4	96	O	$\overline{\text{TXFIFO3EN}}$	140	O	$\overline{\text{B50CS}}$
9	—	NC	53	I/O	D5	97	O	$\overline{\text{TXFIFO2EN}}$	141	O	$\overline{\text{B54CS}}$
10	O	DBCLK	54	I/O	D6	98	O	$\overline{\text{DIAGFIFO1EN}}$	142	O	$\overline{\text{B58CS}}$
11	O	$\overline{\text{DMACCS}}$	55	I/O	D7	99	O	$\overline{\text{DIAGFIFO0EN}}$	143	O	$\overline{\text{B5CCS}}$
12	—	GND	56	—	GND	100	—	GND	144	—	GND
13	I/O	$\overline{\text{IORD}}$	57	O	$\overline{\text{WRENA}}$	101	O	RXFIFO_RCK	145	—	NC
14	I/O	$\overline{\text{IOWR}}$	58	O	$\overline{\text{WRENB}}$	102	O	TXFIFO_WCK	146	O	$\overline{\text{B80CS}}$
15	I	$\overline{\text{MRD}}$	59	O	$\overline{\text{WRENC}}$	103	O	$\overline{\text{SDC\_RECEN}}$	147	O	$\overline{\text{B84CS}}$
16	I	$\overline{\text{MWR}}$	60	O	$\overline{\text{WREND}}$	104	O	$\overline{\text{SDC\_PBEN}}$	148	O	$\overline{\text{B88CS}}$
17	I	DMA_AEN	61	—	NC	105	I	DBWAIT	149	O	$\overline{\text{B8CCS}}$
18	I	DMAAK3	62	I	BEN0	106	O	$\overline{\text{PIO\_RESET}}$	150	O	$\overline{\text{B90CS}}$
19	I	DMAAK2	63	I	BEN1	107	O	$\overline{\text{LTC\_WEN}}$	151	O	$\overline{\text{B94CS}}$
20	I	DMAAK1	64	I	BEN2	108	O	CA2CRCK	152	O	$\overline{\text{B98CS}}$
21	I	DMAAK0	65	I	BEN3	109	O	CA1CRCK	153	O	$\overline{\text{B9CCS}}$
22	—	V <sub>DD</sub>	66	—	V <sub>DD</sub>	110	—	V <sub>DD</sub>	154	—	V <sub>DD</sub>
23	I	SYS_FRAME	67	I	A0	111	O	$\overline{\text{ACCCS}}$	155	O	$\overline{\text{AFCCS}}$
24	I	SYS_1/2V	68	I	A1	112	O	$\overline{\text{AC8CS}}$	156	O	$\overline{\text{BA0CS}}$
25	O	SYS_FIELD	69	I	A22	113	O	$\overline{\text{AC4CS}}$	157	O	$\overline{\text{BA4CS}}$
26	O	$\overline{\text{RDEN}}$	70	I	A23	114	O	$\overline{\text{AC0CS}}$	158	O	$\overline{\text{BA8CS}}$
27	O	$\overline{\text{WREN}}$	71	I	A24	115	O	$\overline{\text{SDDIRX2CS}}$	159	O	$\overline{\text{BACCS}}$
28	O	$\overline{\text{IOEN}}$	72	I	A25	116	O	$\overline{\text{SDDIRX1CS}}$	160	O	$\overline{\text{BB0CS}}$
29	I	VSBUS_RXDATA	73	I	A26	117	O	$\overline{\text{SDDITX2CS}}$	161	O	$\overline{\text{BB4CS}}$
30	O	VSBUS_RXCLK	74	I	A27	118	O	$\overline{\text{SDDITX1CS}}$	162	O	$\overline{\text{BB8CS}}$
31	I	$\overline{\text{VSBUS\_RESET}}$	75	I	A28	119	O	$\overline{\text{SDC\_SDDIRDEN}}$	163	O	$\overline{\text{BBCCS}}$
32	—	GND	76	—	GND	120	—	GND	164	—	GND
33	O	SIOPA	77	I	$\overline{\text{BURST}}$	121	O	DSP_HBCK	165	—	NC
34	O	SI OCD	78	I	$\overline{\text{LAST}}$	122	O	DSP_HRS	166	O	$\overline{\text{BC0CS}}$
35	O	$\overline{\text{SIO2RD}}$	79	I	$\overline{\text{RD}}$	123	O	DSP_HXS	167	O	$\overline{\text{BC4CS}}$
36	O	$\overline{\text{SIO2WR}}$	80	I	$\overline{\text{WR}}$	124	O	DSP_HR	168	O	$\overline{\text{BC8CS}}$
37	O	$\overline{\text{SIO1RD}}$	81	I	$\overline{\text{DATAEN}}$	125	I	DSP_HX	169	O	$\overline{\text{BCCCS}}$
38	O	$\overline{\text{SIO1WR}}$	82	I	$\overline{\text{SYSCLK}}$	126	O	ENC_ENN3_3	170	O	$\overline{\text{BD0CS}}$
39	O	$\overline{\text{PIO3CS}}$	83	I	$\overline{\text{SYS\_RESET}}$	127	O	ENC_ENN2	171	O	$\overline{\text{BD4CS}}$
40	O	$\overline{\text{PIO2CS}}$	84	—	NC	128	O	ENC_ENN1	172	O	$\overline{\text{BD8CS}}$
41	O	$\overline{\text{PIO1CS}}$	85	O	$\overline{\text{ACK}}$	129	O	DEC_ENN3_3	173	O	$\overline{\text{BDCCS}}$
42	O	$\overline{\text{CTC2CS}}$	86	—	V <sub>DD</sub>	130	O	DEC_ENN2	174	—	V <sub>DD</sub>
43	O	$\overline{\text{CTC1CS}}$	87	O	$\overline{\text{RDCEN}}$	131	O	DEC_ENN1	175	O	$\overline{\text{BE0CS}}$
44	O	FLASHCS	88	I	$\overline{\text{M\_STROBE}}$	132	O	$\overline{\text{AF8CS}}$	176	O	$\overline{\text{BE4CS}}$

**INPUT/OUTPUT**

D0 - 7 ; CPU DATA BUS 0 - 7  
 $\overline{\text{IOR}}$  ; I/O READ PULSE FOR DMA CONTROLLER  
 $\overline{\text{IOWR}}$  ; I/O WRITE PULSE FOR DMA CONTROLLER

**INPUT**

A0, A1, A22 - A28 ; CPU ADDRESS BUS 0, 1, and 22 - 28  
 BEN0 - 3 ; CPU BYTE ENABLE 0 - 3  
 $\overline{\text{BURST}}$  ; BURST STATE  
 $\overline{\text{DATAEN}}$  ; DATA ENABLE PULSE  
 DBWAIT ; CPU WAIT  
 DMA\_AEN ; DMA ADDRESS ENABLE  
 DMAAK0 - 3 ; DMA ACKNOWLEDGE 0 - 3  
 DSP\_HX ; RECEIVE DATA FOR AUDIO DSP I/F  
 $\overline{\text{IO\_STROBE}}$  ; I/O STROBE PULSE  
 $\overline{\text{LAST}}$  ; LAST STATE  
 $\overline{\text{M\_STROBE}}$  ; MEMORY STROBE PULSE  
 $\overline{\text{MRD}}$  ; MEMORY READ FOR CONTROLLER  
 $\overline{\text{MWR}}$  ; MEMORY WRITE FOR CONTROLLER  
 $\overline{\text{RD}}$  ; CPU READ PULSE  
 SYS\_1/2V ; SYSTEM 1/2 V PULSE  
 SYS\_FRAME ; SYSTEM FRAME PULSE  
 $\overline{\text{SYS\_RESET}}$  ; SYSTEM RESET  
 $\overline{\text{SYSCLK}}$  ; 20 MHz REFERENCE CLOCK  
 $\overline{\text{VSBUS\_RESET}}$  ; VSBUS RX CLOCK RESET  
 VSBUS\_RXDATA ; VSBUS INPUT DATA  
 $\overline{\text{WR}}$  ; CPU WRITE PULSE

**OUTPUT**

**\*\*\*CS** ; CHIP SELECT (ADDRESS : \*\*\*xxxxxH)  
**ACK** ; ACKNOWLEDGE  
**B4CCS** ; INTERRUPT ACKNOWLEDGE (ADDRESS : B4CxxxxxH)  
**B48CS** ; INTERRUPT CONTROLLER CHIP SELECT (ADDRESS : B48xxxxxH)  
**CA1CRCK, CA2CRCK** ; SDI AUDIO DATA WRITE CLOCK  
**CTC1CS** ; CTC 1 CHIP SELECT (ADDRESS : A60xxxxxH)  
**CTC2CS** ; CTC 2 CHIP SELECT (ADDRESS : A70xxxxxH)  
**DBCLK** ; 1/2 DIVIDING SYSCLK  
**DEC\_ENN1, 2, 3\_3** ; ADDRESS ENABLE 1 - 3 FOR DEC-79  
**DIAGFIFO0EN** ; CHIP SELECT (ADDRESS : B60xxxxxH)  
**DIAGFIFO1EN** ; CHIP SELECT (ADDRESS : B64xxxxxH)  
**DMACCS** ; DMA CONTROLLER CHIP SELECT (ADDRESS : AD0xxxxxH)  
**DSP\_HBCK** ; BIT CLOCK FOR AUDIO DSP I/F  
**DSP\_HR** ; SEND DATA FOR AUDIO DSP I/F  
**DSP\_HRS** ; SEND START FOR AUDIO DSP I/F  
**DSP\_HXS** ; RECEIVE START FOR AUDIO DSP I/F  
**ENC\_ENN1, 2, 3\_3** ; ADDRESS ENABLE 1 - 3 FOR ENC-29  
**EXTDATAEN** ; EXTENDED DATA ENABLE  
**FLASHCS** ; FLASH CHIP SELECT (ADDRESS : BF0xxxxxH)  
**IOEN** ; I/O ENABLE  
**LTC\_WEN** ; LTC WRITE ENABLE  
**PIO\_RESET** ; PARALLEL I/O RESET  
**PIO1CS** ; PIO 1 CHIP SELECT (ADDRESS : A40xxxxxH)  
**PIO2CS** ; PIO 2 CHIP SELECT (ADDRESS : A50xxxxxH)  
**PIO3CS** ; PIO 3 CHIP SELECT (ADDRESS : A58xxxxxH)  
**RAM1CS** ; SRAM CHIP SELECT (ADDRESS : A00xxxxxH)  
**RAM2CS** ; SRAM CHIP SELECT (ADDRESS : A10xxxxxH)  
**RDCEN** ; READ CHIP ENABLE  
**RDEN** ; READ ENABLE  
**RXFIFO\_RCK** ; READ CLOCK FOR RX FIFO  
**RXFIFO0EN** ; CHIP SELECT (ADDRESS : B70xxxxxH)  
**RXFIFO1EN** ; CHIP SELECT (ADDRESS : B74xxxxxH)  
**RXFIFO2EN** ; CHIP SELECT (ADDRESS : B78xxxxxH)  
**RXFIFO3EN** ; CHIP SELECT (ADDRESS : B7CxxxxxH)  
**SCSICS0** ; SPCR8 (ADDRESS : AE8xxxxxH) or SPCR16 (ADDRESS : B10xxxxxH)  
**SCSICS1** ; SPCDMA CHIP SELECT (ADDRESS : B00xxxxxH)  
**SCSIRD** ; L : READ FOR SCSI  
**SCSIWR** ; SPCR8 LOWER BYTE WRITE ENABLE  
**SDC\_PBEN** ; SDC PB DATA BUS ENABLE  
**SDC\_RECEN** ; SDC REC DATA BUS ENABLE  
**SDC\_SDDIRDEN** ; SDC SDDI READ ENABLE  
**SDDIRX1CS** ; SDDI DECODER 2 CHIP SELECT (ADDRESS : AB0xxxxxH)  
**SDDIRX2CS** ; SDDI DECODER 1 CHIP SELECT (ADDRESS : AB8xxxxxH)  
**SDDITX1CS** ; SDDI ENCODER 2 CHIP SELECT (ADDRESS : AA0xxxxxH)  
**SDDITX2CS** ; SDDI ENCODER 1 CHIP SELECT (ADDRESS : AA8xxxxxH)  
**SIO1RD** ; SIO 1 READ ENABLE (ADDRESS : A80xxxxxH)  
**SIO1WR** ; SIO 1 WRITE ENABLE (ADDRESS : A80xxxxxH)  
**SIO2RD** ; SIO 2 READ ENABLE (ADDRESS : A90xxxxxH)  
**SIO2WR** ; SIO 2 WRITE ENABLE (ADDRESS : A90xxxxxH)  
**SIOPA** ; SIO BA REGISTER SELECT  
**SI OCD** ; SIO CD REGISTER SELECT  
**SYS\_FIELD** ; SYSTEM FIELD PULSE  
**TXFIFO\_WCK** ; WRITE CLOCK FOR TX FIFO  
**TXFIFO2EN** ; CHIP SELECT (ADDRESS : B68xxxxxH)  
**TXFIFO3EN** ; CHIP SELECT (ADDRESS : B6CxxxxxH)  
**VSBUS\_RXCLK** ; VSBUS RX CLOCK  
**WREN** ; WRITE ENABLE  
**WRENA - WREND** ; SRAM A - D WRITE ENABLE